

--- -----  
?s pn=jp 08055563  
S1 1 PN=JP 08055563  
?t sl/5/all

1/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

010680488 \*\*Image available\*\*  
WPI Acc No: 1996-177443/\*199618\*  
XRPX Acc No: N96-149136

Surface conduction electron source e.g. flat TV - consists of thin film  
that contains electrically conductive particle, graphite, and amorphous  
carbon which are provided for electron emitting

Patent Assignee: CANON KK (CANO )  
Number of Countries: 001 Number of Patents: 002  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8055563	A	19960227	JP 94209381	A	19940811	199618 B
JP 3320215	B2	20020903	JP 94209381	A	19940811	200264

Priority Applications (No Type Date): JP 94209381 A 19940811

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8055563	A	22		H01J-001/30	
JP 3320215	B2	22		H01J-001/316	Previous Publ. patent JP 8055563

Abstract (Basic): JP 8055563 A

The source has a rear plate (1) that allows the containment of two  
thin electron emitting thin film (4) between an opposing metal back (5)  
and a face plate (6). The thin film contains an electrically conductive  
particle, a graphite, and an amorphous carbon which are provided for  
emitting electrons.

USE/ADVANTAGE - Colour television using matrix electron source.  
Provides stable electron emission due to thin film that contains  
electrically conductive particle, graphite, and amorphous carbon.

Dwg.1/15

Title Terms: SURFACE; CONDUCTING; ELECTRON; SOURCE; FLAT; TELEVISION;  
CONSIST; THIN; FILM; CONTAIN; ELECTRIC; CONDUCTING; PARTICLE; GRAPHITE;  
AMORPHOUS; CARBON; ELECTRON; EMIT

Derwent Class: V05

International Patent Class (Main): H01J-001/30; H01J-001/316

International Patent Class (Additional): H01J-009/02; H01J-029/04;

H01J-031/12

File Segment: EPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-55563

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl.<sup>6</sup>

H 0 1 J 1/30  
31/12

識別記号

A  
B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数14 F D (全 22 頁)

(21) 出願番号 特願平6-209381  
(22) 出願日 平成6年(1994)8月11日

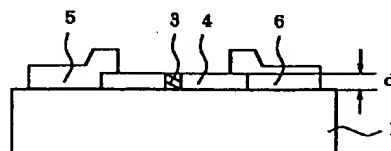
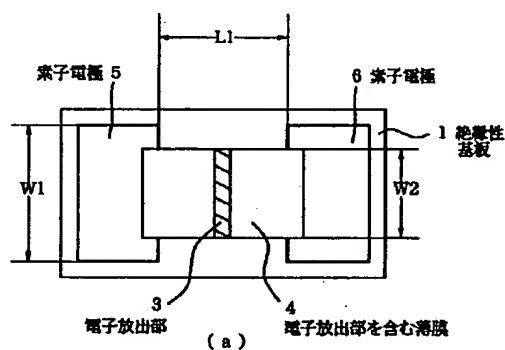
(71) 出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(72) 発明者 松田 宏  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内  
(74) 代理人 弁理士 渡辺 徳廣

(54) 【発明の名称】 電子放出素子、電子源及び画像形成装置

(57) 【要約】

【目的】 駆動時における電氣的耐性に優れ、安定性及び電子放出効率に優れる電子放出素子、電子源及び画像形成装置を提供する。

【構成】 基体上に形成された対向する一対の素子電極5、6と電子放出部3を有する薄膜4からなる表面伝導型電子放出素子において、該電子放出部3を有する薄膜4が導電性微粒子とグラファイトまたは／およびアモルファスカーボンを含む電子放出素子。該電子放出素子を基体上に複数個配置してなる電子源、その電子源を使用した画像形成装置。



(b)

【特許請求の範囲】

【請求項1】 基体上に形成された対向する一対の素子電極と電子放出部を有する薄膜からなる表面伝導型電子放出素子において、該電子放出部を有する薄膜が導電性微粒子とグラファイトまたは／およびアモルファスカーボンを含むことを特徴とする電子放出素子。

【請求項2】 導電性微粒子が金属或は金属酸化物である請求項1記載の電子放出素子。

【請求項3】 導電性微粒子がパラジウム或は酸化パラジウムである請求項1または2記載の電子放出素子。

【請求項4】 基体上に形成された対向する一対の素子電極と電子放出部を有する薄膜からなる表面伝導型電子放出素子の製造方法において、少なくとも、一対の素子電極を形成する工程と、電子放出部を設ける薄膜を形成する工程と、フォーミング工程とからなる電子放出素子の製造方法。

【請求項5】 先ず基板上に電子放出部を設ける薄膜を形成した後、一対の素子電極を形成し、次にフォーミング工程を行う請求項4記載の電子放出素子の製造方法。

【請求項6】 電子放出部を設ける薄膜を形成する工程が、金属、金属酸化物若しくは有機金属化合物を分散させた高分子化合物からなる薄膜を形成した後、該薄膜を600℃乃至3000℃で焼成するものである請求項4または5記載の電子放出素子の製造方法。

【請求項7】 高分子化合物がポリイミドである請求項6記載の電子放出素子の製造方法。

【請求項8】 金属若しくは金属酸化物がパラジウム若しくは酸化パラジウムである請求項6記載の電子放出素子の製造方法。

【請求項9】 600℃乃至3000℃での焼成工程が窒素雰囲気下で行なわれる請求項6記載の電子放出素子の製造方法。

【請求項10】 600℃乃至3000℃での焼成工程が10分間乃至2時間行なわれる請求項6記載の電子放出素子の製造方法。

【請求項11】 入力信号に応じて電子を放出する電子源であって、請求項1記載の電子放出素子を基体上に複数個配置してなることを特徴とする電子源。

【請求項12】 基体に複数の電子放出素子を複数個並列に配置し、個々の素子の両端を配線に接続した電子放出素子群からなる列を複数本持ち、更に変調手段を有する請求項11記載の電子源。

【請求項13】 基体上に互いに電気的に絶縁された1本以上のX方向配線と、これらに対して異なる方向に配線された1本以上のY方向配線が形成されており、電子放出素子の一対の素子電極の一方を該X方向配線に、他方を該Y方向配線に接続せしめた電子放出素子を複数個配列した請求項11記載の電子源。

【請求項14】 入力信号にもとづいて画像を形成する装置であって、少なくとも、画像形成部材と請求項11

記載の電子源より構成されていることを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子源およびその応用である表示装置等の画像形成装置にかかわり、特に、新規な構成の表面伝導型電子放出素子、電子源およびその応用である表示装置等の画像形成装置に関する。

【0002】

【従来の技術】 従来、電子放出素子として熱電子源と冷陰極電子源の2種類が知られている。冷陰極電子源には電界放出型（以下FE型と略す）、金属／絶縁層／金属型（以下MIM型と略す）や表面伝導型電子放出素子（以下SCEと略す）等がある。

【0003】 FE型の例としては、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 第8巻, 第89頁（1956年）やC. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 第47巻, 第5248頁（1976年）等が知られている。

【0004】 MIM型の例としては、C. A. Mead, "The tunnel-emission amplifier", J. Appl. Phys., 第32巻, 第646頁（1961年）等が知られている。

【0005】 SCE型の例としては、M. I. Elinson, "Radio Eng. Electron Phys.", 10, (1965) 等がある。SCE型は基板上に形成された小面積の薄膜に対して、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものであり、ここで用いられる薄膜材料としては、前記M. I. Elinson等によるSnO<sub>2</sub> 薄膜、Au薄膜 [G. Dittmer: "Thin Solid Films", 第9巻, 第317頁（1972年）]、In<sub>2</sub>O<sub>3</sub>/SnO<sub>2</sub> 薄膜 [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519（1975年）]、カーボン薄膜 [荒木久 他: 真空, 第26巻, 第1号, 22頁（1983年）] 等が報告されている。

【0006】 これらSCEの典型的例として、前述のM. Hartwellの素子構成を図15に示す。同図において1は絶縁性基板である。2は電子放出部形成用薄膜で、H型形状のパターンにスパッタで形成された金属酸化物薄膜等からなり、後述のフォーミングと呼ばれる通電処理により電子放出部3が形成される。尚、図中のL<sub>1</sub> は0.5～1mm、W<sub>1</sub> は0.1mmに設定されている。

【0007】フォーミングとは、前記電子放出部形成用薄膜2の両端に直流電圧或は非常にゆっくりとした昇電圧、例えば1V/分程度を印加通電し、電子放出部形成用薄膜2を局所的に破壊、変形もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部3を形成することである。

【0008】従って電子放出部3とは、電子放出部形成用薄膜2の一部に亀裂が発生し、その亀裂付近から電子放出が行われ得る部分を指す。以下、フォーミングにより形成した電子放出部3を含む電子放出部形成用薄膜2を電子放出部を含む薄膜4と呼ぶ。

【0009】前記フォーミング処理を施したSCEは、上述電子放出部を含む薄膜4に電圧を印加し、素子に電流を流すことにより、上述電子放出部3より電子を放出せしめるものである。このようなSCEは、構造が単純で製造も容易であることから、大面積にわたる多数素子を配列形成できる利点がある。係る多数のSCEを配列形成した例としては、並列にSCEを配列し、個々の素子の両端を配線にてそれぞれ結線した行を多数行配列した電子源がある（例えば、特開平1-031332号公報）。

【0010】このようなSCEを多数配置した電子源の具体的応用としては、表示装置を挙げることができる。ここで表示装置に関する動向について言及すれば、近年、液晶を用いた平板型表示装置がCRTに替わって普及してきているものの、自発光型でないため、バックライト等を持たなければならない等の問題点があり、高品位な表示画像が得られる自発光型の表示装置の開発が望まれてきた。

【0011】係る要望に対して、上述したSCEを多数配置した電子源を用い、係る電子源より放出された電子によって可視光を発光せしめる蛍光体とを組み合わせた表示装置である画像形成装置は、大画面の装置でも比較的容易に製造でき、かつ表示品位に優れた自発光型表示装置といえる（例えば、米国特許第5066883号明細書）。

【0012】尚、従来、多数のSCEより構成された表示装置において、発光を行わしめる素子の選択は、上述の多数のSCEを一方向に結線した配線（行方向配線と呼ぶ）、前記行配線と直交する方向（列方向と呼ぶ）に結線した列方向配線、及び該SCEとその上部に非接触配置された蛍光体間との空間に設置された制御電極（グリッドと呼ぶ）とへの適当な駆動信号によるものであり、例えば、特開平1-283749号公報等に開示されているものである。

【0013】

【発明が解決しようとする課題】SCEを実用化するにあたっては、安定で制御された電子放出特性、及びその効率の向上が必要とされることはいうまでもない。ここで効率とは、SCEの一对の対向する素子電極に電圧を

印加したとき、流れる電流（以降素子電流 $I_s$ と呼ぶ）と真空中に放出される電流（以降電子放出電流 $I_e$ と呼ぶ）との電流比をさす。つまり、素子電流はできるだけ小さく、電子放出電流はできるだけ大きいことが望ましい。

【0014】安定で制御された電子放出特性と効率の向上がなされれば、例えば蛍光体を画像形成部材とする画像形成装置において、低電流で明るい高品位な画像形成装置、例えばフラットテレビが実現される。また、低電流化にともない、画像形成装置を構成する駆動回路等も安価になることも期待できる。

【0015】ところで安定かつ効率のよい電子放出特性を有するSCEを作成するには、駆動時における上記素子電流 $I_s$ 及び電子放出電流 $I_e$ が安定であることが必要条件となるが、これらの安定性は電子放出部の構造に依存し、特に素子電流によって構造が変化しないような電氣的耐性が要求される。

【0016】本発明は、上記問題を鑑み、駆動時における電氣的耐性に優れ、結果として安定性及び電子放出効率に優れたSCEの新規な構成と製法、及びそれを用いた電子源及び画像形成装置を提供するものである。

【0017】

【課題を解決するための手段】即ち、本発明は、基体上に形成された対向する一对の素子電極と電子放出部を有する薄膜からなる表面伝導型電子放出素子において、該電子放出部を有する薄膜が導電性微粒子とグラファイトまたは／およびアモルファスカーボンを含むことを特徴とする電子放出素子である。

【0018】また、本発明は、基体上に形成された対向する一对の素子電極と電子放出部を有する薄膜からなる表面伝導型電子放出素子の製造方法において、少なくとも、一对の素子電極を形成する工程と、電子放出部を設ける薄膜を形成する工程と、フォーミング工程とからなる電子放出素子の製造方法である。

【0019】さらに、本発明は、入力信号に応じて電子を放出する電子源であって、上記の電子放出素子を基体上に複数個配置してなることを特徴とする電子源である。また、本発明は、入力信号にもとづいて画像を形成する装置であって、少なくとも、画像形成部材と上記の電子源より構成されていることを特徴とする画像形成装置である。

【0020】以下、本発明を詳細に説明する。本発明の電子放出素子は、基体上に形成された対向する一对の素子電極と電子放出部を有する薄膜からなる表面伝導型電子放出素子において、上記電子放出部を有する薄膜が、導電性微粒子とグラファイト若しくはアモルファスカーボン若しくはそれらの混合物を含むことを特徴とする電子放出素子である。

【0021】また、上記電子放出素子の作成法は少なくとも、電子放出部を設ける薄膜を形成する工程と、一对

の素子電極を形成する工程と、フォーミング工程とからなる電子放出素子の製法であって、該電子放出部を設ける薄膜を形成する工程が、金属若しくは金属酸化物若しくは有機金属化合物を分散させた高分子化合物からなる薄膜を形成した後、これを600～3000℃で、10分～3時間程度焼成するものである。

【0022】入力信号に応じて電子を放出する電子源においては、上記の電子放出素子を基体上に複数個配置したことを特徴とした電子源であって、詳しくは、基体に複数の電子放出素子を並列に配置し、個々の素子の両端を配線に接続した電子放出素子群を複数個有し、更に、各素子に対する変調手段を有している配置法、或は、基体に互いに電気的に絶縁された複数本のX方向配線と、これらと交差する方向に設置された複数本のY方向配線が設置され、各X方向配線と各Y方向配線との交差点毎に電子放出素子を配置し、各素子の一方の素子電極の一方を上記X方向配線に、他方を上記Y方向配線に接続した電子源である。

【0023】また、画像形成装置においては、入力信号にもとづいて画像を形成する装置であって、少なくとも、蛍光体等から成る画像形成部材と前記電子源より構成されたことを特徴とする画像形成装置である。

【0024】次に、本発明に係わるSCEの基本的な構成及びその作成方法について説明する。図1(a)，

(b)は、それぞれ本発明にかかわる基本的なSCEの構成を示す平面図及び断面図である。また図2は、係るSCEの製造方法の一例を説明する図である。

【0025】以下、図1及び2を用いて、本発明に関わる電子放出素子の基本的な構成、及びその製造方法を説明する。図1、2において、1は絶縁性基板、2は電子放出部形成用薄膜、3は電子放出部、4は電子放出部を含む薄膜、5と6は素子電極である。

【0026】絶縁性基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成したSiO<sub>2</sub>を積層したガラス基板等及びアルミナ等のセラミックス等を挙げることができるが、後述するように本発明の素子作成工程においては、600～3000℃での熱処理が必要となるので耐熱性に優れる基板材料を利用しなければならない。係る観点から、特に石英、シリコン、アルミナ等の利用が好ましい。

【0027】基板1を洗剤、純水および有機溶剤により十分に洗浄後、基板1上に電子放出部形成用薄膜2を形成する(図2(a)参照)。例えば、Pd、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属を混合せしめた高分子化合物からなる薄膜を形成した後、これを600℃以上で焼成し、上記金属若しくはその酸化物及びアモルファスカーボン若しくはグラファイトもしくはそれらの混合物を含む薄膜を形成する。必要に応じて、係る薄膜をフォト

リソグラフィ技術を用いてパターンニングし、電子放出部形成用薄膜2を形成する。

【0028】電子放出部形成用薄膜2を構成する材料の具体例を挙げるならば、Pd、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>等の金属酸化物を含むアモルファスカーボン若しくはグラファイトもしくはそれらの混合物である。上記の金属若しくは金属酸化物は、微粒子状になっていてもよい。即ち電子放出部形成用薄膜2は、上記微粒子状の金属若しくは金属酸化物を含む、アモルファスカーボン若しくはグラファイトである。係る微粒子の粒径は、数Åより数千Å、好ましくは、10～200Åである。これらの金属若しくは金属酸化物のうち、特にPd若しくはPdO<sub>2</sub>の利用が、電子放出特性上の観点から好ましい。

【0029】ここで利用されるアモルファスカーボン若しくはグラファイトは、高分子化合物を600～3000℃で焼成することによって得られる。従って、先ず、予め上述の金属若しくは金属酸化物と高分子化合物とを混合したものを、基板1上に堆積させる。堆積方法は、従来公知の方法、例えば回転塗布法、ディップ法、印刷法その他、ラングミュア・プロジェクト(以下LBと記す)法等に抛ればよく、本発明はその方法を限定するものではないが、堆積された膜の均一性に優れる点で、特にLB法の利用が好ましい。LB法の詳細については後述する。

【0030】次に、係る膜を上記温度(600～3000℃)で焼成すれば、本発明の微粒子状の金属若しくは金属酸化物を含む、アモルファスカーボン若しくはグラファイトもしくはそれらの混合物から成る電子放出部形成用薄膜2を形成することができる。尚、この場合、高分子化合物に混合する材料として、上記金属の単体或は酸化物に加えて、上述金属を含む有機金属化合物(錯体)を用いることもできる。何故なら、該有機金属化合物に含まれる有機部位は、焼成工程中に脱着・昇華するので、金属、若しくは金属酸化物(酸素雰囲気下にて焼成した場合、金属が酸化され金属酸化物が形成されることがある)が残るからである。以下、金属単体若しくは金属酸化物若しくは有機金属化合物を混合した高分子化合物を、金属を含む高分子化合物と記すことにする。

【0031】電子放出部形成用薄膜2をできるだけ均一に作成することは、素子特性上大切なことであることはいうまでもない。即ち、金属類(金属単体若しくは金属酸化物)とアモルファスカーボン若しくはグラファイトが各々極端な凝集状態(マクロな相分離)をとらず、均一に分散されている状態にあることが重要であり、係る要請を達成するためには、金属を含む高分子化合物において、高分子化合物中の特定の置換基(カルボキシル基、水酸基、アミノ基、エステル基等)が金属に配位し

ていることが望ましい。但し、架橋反応が起こるのはよくない。

【0032】また、焼成工程中に高分子化合物が溶融、脱着或は昇華しないことが望ましいことはいうまでもなく、特に後者の観点から、具体的には、例えばポリイミドの使用が特に好ましい。

【0033】しかしながら、一般にポリイミド材料は有機溶媒に不溶であるため、これを直接基板上に成膜することは困難である。そこで通常は、対応する前駆体ポリアミック酸を成膜した後、化学的或は熱的に脱水・環化すること（イミド化）によりポリイミド膜を得る。本発明で利用可能な金属或は金属酸化物が分散されたポリイミド膜を得るための方法としては、ポリアミック酸に所望の金属若しくは有機金属化合物を混合し、係る混合物を所望の基板上に成膜した後、イミド化するという方法を挙げることができる。

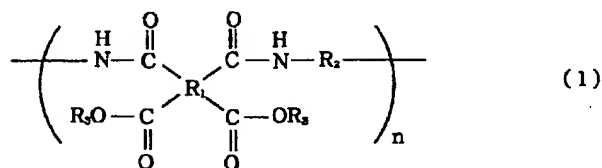
【0034】然し乍ら係る方法は実際には利用不可能である場合が多い。その理由は、ポリアミック酸に上述の金属類を混合すると、ポリアミック酸中のカルボキシル基の金属への配位力が強いので、分子内及び、分子間で架橋反応を起してゲル化してしまうからである。一旦ゲル化した高分子化合物を成膜することは、最早著しく困

難であるといわざるをえない。係る問題点を克服し、ポリイミド中に金属、特にパラジウム及び／又は酸化パラジウム、が分散された膜を均一に作成する方法が、本発明者らによって報告されており、（平成6年8月11日出願の特許願、整理番号2742007、発明の名称：金属及び／又は金属酸化物を含む低抵抗なポリイミド膜形成方法及び該ポリイミド膜を液晶配向膜として用いた液晶素子、出願人 キヤノン株式会社）ここに述べられている方法が本発明においても利用出来る。

【0035】勿論これらに限定されるものではないが、ここでその内容に触れると、目的とするポリイミドの前駆体としてポリアミック酸エステルを用い、係るポリアミック酸エステルと金属パラジウム若しくは有機パラジウム化合物の混合物、好ましくはパラジウムとポリアミック酸エステルのエステル部位との間に弱い相互作用を有する錯体化合物からなる材料を基板上に堆積させる工程と、引き続いて上記ポリアミック酸エステルを化学的及びまたは熱的にイミド化する工程とによって達成される。前記ポリアミック酸エステルの構造は、下記の式（1）に示される。

【0036】

【化1】



【0037】（式（1）中、 $\text{R}_3$  は炭素数1以上のアルキル基であるが、これを水素に置換したものがポリアミック酸であって、従って、 $\text{R}_1$ 、 $\text{R}_2$  としては、従来公知のポリアミック酸と同じ構造を有するものを用いることができるのは勿論、これら以外のものであってもよ

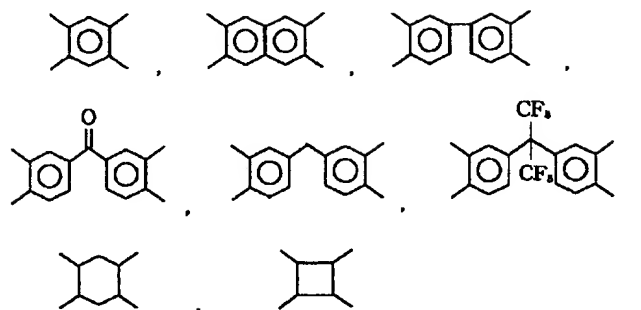
い。

【0038】 $\text{R}_1$ 、 $\text{R}_2$  の具体例を下記の化2に示す。

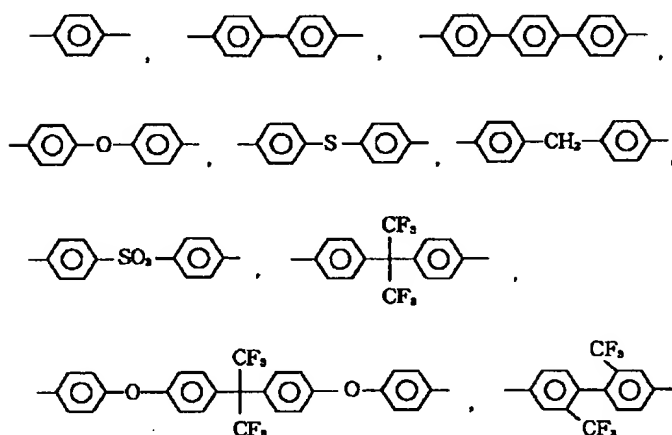
【0039】

【化2】

式 (I) 中の R<sub>1</sub> の具体例



式 (I) 中の R<sub>2</sub> の具体例



【0040】尚、2種以上のポリアミック酸エステルからなるコポリマーを用いてもよい。ポリアミック酸エステルは従来公知の方法により容易に合成可能であって、例えば、対応するポリアミック酸を出発物質として、その酸クロライドと所望のアルキル基（この場合 R<sub>3</sub>）を有するアルコール或はアルコキサイドと反応させることによって得られる。

【0041】R<sub>3</sub> の炭素数の上限は特に限定されるものではないが、イミド化時において脱離させる必要があるもので、極端に大きなものは好ましいとはいえず、好ましくは1以上30以下、より好ましくは1以上22以下である。ポリアミック酸エステルは通常、N、N-ジメチルアセトアミド（以下DMAcと記す）、2-N-メチルピロリドン（以下NMPと記す）、γ-ブチラクトン等の極性溶媒、或はこれらを含む混合溶媒に可溶である。



【0045】式 (2) ~ (4) 中、R<sub>4</sub>、R<sub>5</sub>、R<sub>6</sub>、R<sub>7</sub> は各々炭素数1以上30以下の炭化水素鎖を示す。炭化水素鎖としては、例えばメチル基、デシル基、オク

【0042】つぎに、上述の溶媒に溶かしたポリアミック酸エステル溶液に金属パラジウム若しくは有機パラジウム化合物を混合し、これらの混合物（以下ポリアミック酸エステル-Pd混合物と記す）溶液を調製する。ここで、有機溶剤に比較的容易に溶ける点から、金属パラジウムよりも有機パラジウム化合物の利用が好ましい。有機パラジウム化合物の構造としては、先に述べたように、ポリアミック酸エステルのエステル部との間で弱い錯体を形成し得るものであることが特に好ましい。

【0043】すなわち、好ましい有機パラジウム化合物は2つの配位子を有するものか、或は、4個の配位子を有していて、少なくともその内の2つが容易に脱離可能なものである。具体的な構造例を一般式 (2) ~ (4) に示す。

【0044】

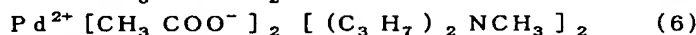
【化3】

タデシル基等が挙げられる。これらの内、R<sub>4</sub> は水素であってもよい。また R<sub>5</sub>、R<sub>6</sub>、R<sub>7</sub> に関してはこれらの内の1乃至2つが水素であってもよい。すなわちパラ

ジウムに配位しているアルキルアミンは1級、2級、3級の何れのアミンでも良い。また、上記 $R_4$ 、 $R_5$ 、 $R_6$ 、 $R_7$ を構成する水素の一部若しくは全てがフッ素で置換されていても良い。

【0046】以上のようにして調製されたポリアミック酸エステル-Pd錯体を適当な方法により所望の基板の上に堆積させて、ポリアミック酸エステル-Pd錯体膜を得る。ここで、前記ポリアミック酸エステル-Pd錯体はゲル化していないので、これを基板の上に堆積させる手法としては、回転塗布法、ディップ法、ラングミュア・プロジェクト（以下LBと略す）法等、従来公知の各種薄膜堆積方法を利用することができる。これらの内、回転塗布法やディップ法に抛るのが最も簡便であるが、基板の上の広い面積にわたって均一な膜を形成することは必ずしも容易ではない。加えて膜厚の制御性も余りよくない。これらに対してLB法に抛れば、均一な膜を比較的容易に再現性よく得ることができる。

【0047】以下、LB法によってポリアミック酸エステル-Pd錯体膜を基板の上に堆積する場合に利用可能な材料の化学構造について述べる。LB法に用いるのに好



【0051】逆にポリアミック酸エステルの $R_3$ の炭素数が少なくても、例えば1であっても、これに混合する有機パラジウム化合物が炭素数8以上30以下、好ましくは炭素数10以上22以下のアルキル基を1本以上有していれば、係るポリアミック酸エステル-Pd錯体の単分子膜を形成することができる。炭素数がより少なく



【0053】以上述べた材料は、LB法に限定されることなく他の薄膜形成方法、すなわち、回転塗布法やディップ法において利用しても一向に差し支えない。勿論LB法以外の成膜方法による場合には、上述した材料に加えて、炭素数のより少ないアルキル基を有するポリアミック酸エステル-Pd錯体を用いることが可能であることは申すまでもない。

【0054】さてポリアミック酸エステル-Pd錯体を上述した何れかの方法によって基板の上に堆積した後、イミド化を行う。イミド化方法としては、ピリジンと無水酢酸を含む溶液（以下イミド化溶液）に試料を浸漬して

適なポリアミック酸エステル-Pd錯体は、これを水面上に展開した際に単分子膜が形成されるように、親疎水性のバランスがとれていることが重要であり、従って炭素数8以上30以下、より好ましくは、炭素数10以上22以下のアルキル鎖を1単量体ユニットあたり0.5以上の割合で有していることが望ましい。

【0048】この様なポリアミック酸エステル-Pdの例としては、ポリアミック酸エステル部の構造（一般式（1））に関し、例えば、 $R_3$ の炭素数が8以上30以下のもの、より好ましくは、炭素数10以上22以下のものである。

【0049】この場合、上記ポリアミック酸エステルに混合する有機パラジウム化合物の構造は特に限定されるものではないが、例えば、式（2）～（4）に示されるような化合物を利用する場合、 $R_4$ 、 $R_5$ 、 $R_6$ 、 $R_7$ を構成する炭素数は余り多くなくともよく、式（5）、（6）のようなものを利用することができる。

【0050】

【化4】

ても差し支えない。従ってこの場合に利用可能な有機パラジウム化合物としては、例えば下記の式（7）～（9）のようなものである。

【0052】

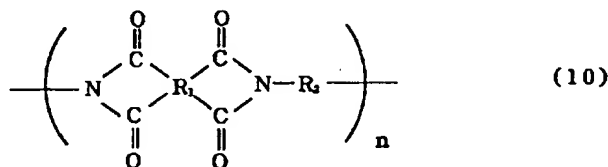
【化5】

これを化学的に行う方法と、熱的に行う方法があるが、前者ではパラジウム或は有機パラジウム化合物がイミド化溶液に再溶解してしまうことがあるので、後者の方法によることが好ましい。

【0055】係るイミド化処理によって、ポリアミック酸エステルの $R_3$  O-基が脱離するとともにイミド環化し、下記の式（10）で表されるポリイミドが形成される。

【0056】

【化6】



【0057】イミド化を熱処理によって行う場合、その処理温度は用いるポリアミック酸エステルの構造にも多

少依存するが、一般には250℃～400℃で行なわれる。係る熱処理を上述してきたポリアミック酸エステル



—Pd 錯体に対して行う場合、特に該ポリアミミック酸エステル—Pd 錯体が有機パラジウム化合物を含む場合には、有機パラジウム化合物中の配位子が脱離しパラジウムが残る。

【0058】この際、加熱温度が300℃以上かつ酸素存在下であれば、パラジウムが酸化されて酸化パラジウムが形成される。このようにして本発明で利用可能なパラジウム及び/又は酸化パラジウムを含むポリイミド膜が形成される。ここで、ポリイミドとパラジウムとは配位してはいないが、パラジウム及び/又は酸化パラジウムは、ポリイミド中に均一分散されている。尚、イミド化工程に先だって、膜中に含まれる溶媒除去等の目的で、低温加熱したり（例えば、150℃）、減圧下で放置してもよい。

【0059】以上、パラジウムがポリイミドに分散された場合の具体例について述べたが、これに限定されることなく、他の金属類及び高分子化合物、例えば、ポリメタクリル酸類、ポリエステル類を用いてもよい。

【0060】何れにせよ、金属を含む高分子化合物から成る層を基板1上に堆積した後、該高分子化合物をアモルファスカーボン化或はグラファイト化させるために、引き続き焼成工程を施す。係る、焼成工程においては、前記高分子化合物の少なくとも一部、好ましくは全てが炭化すればよく、焼成温度としては、600～3000℃である。容易に予測できるように、上記焼成温度の範囲において、低温ではアモルファスカーボンが得られ、高温になるほどグラファイト化し易い。具体的には、1800℃以上の高温焼成によって、グラファイト化（結晶化）が起り始める。

【0061】この場合、高温にすればするほど、欠陥の少ないグラファイトを得ることができるが、2600℃で焼成すると、既に略完全にグラファイト化しており、これ以上の温度で焼成を行っても余り意味はない。本発明においては、特にグラファイトが必要な訳ではなく、従って、素子作成上、使用部材（基板1等）の耐熱性に関する制約が緩和できる点で、出来るだけ低温で処理する方が好ましいことはいうまでもない。

【0062】また用いる金属の種類によっては、余りに高温で処理すると蒸発する恐れもあり、係る蒸発温度以下の温度で処理を行わねばならぬことはいうまでもない。以上の点から、焼成温度としては、1500℃以下が好適であり、より好ましくは1000℃以下である。然しあまりに温度を下げすぎると、アモルファスカーボンを得ることが出来なくなるので、少なくとも600℃以上での焼成が必要である。

【0063】焼成工程は真空下や窒素雰囲気下等、酸素が稀薄な条件で行うことが望ましい。尚、上記高分子化合物としてポリイミドを用いた場合に関して、ポリイミドを焼成することにより、アモルファスカーボン或はグラファイトが形成されることは従来公知である（例え

ば、B. Nystenらの論文（Physical Review B, 第48巻12527～12538頁（1993年参照））。

【0064】以上のようにして、基板1上に、金属若しくは金属酸化物を含む、アモルファスカーボン或はグラファイト或いはそれらの混合物から成る電子放出部形成用薄膜2が形成される。電子放出部形成用薄膜2の膜厚は、好ましくは数Åより数千Åで、特に好ましくは10～500Åであり、後述する、電子放出部3と素子電極5、6間の抵抗値及び電子放出部3の導電性微粒子の粒径、通電処理条件等によって適宜設定される。そのシート抵抗値は、 $10^3 \sim 10^7 \Omega/\text{cm}^2$ である。

【0065】また、電子放出部形成用薄膜2は、必要に応じてパターンニングする必要があるが、これは従来公知のフォトリソグラフィ技術を利用すればよく、具体的にはエッチング法やリフトオフ法が利用できる。尚、フォトレジストを剥離層としたリフトオフ法による場合、通常のフォトレジストの耐熱性は本発明の焼成工程にて必要な加熱温度以下であるので、焼成工程前、即ち金属を含む高分子材料からなる膜を基板1上に堆積した時点においてパターンニングを行っておく必要がある。エッチング法を用いる場合には、焼成工程の前後どちらに行ってもよい。特に高分子材料としてポリイミドを使用する場合、その前駆体の状態でパターンニングを行ってもよい。

【0066】引き続き該基板1上に、その一部、若しくは全てが上記電子放出部形成用薄膜2面上に堆積されるように、一対の素子電極5、6を形成する（図2b参照）。素子電極5、6の材料としては、導電性を有するものであればどのようなものであっても構わないが、例えばNi, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd等の金属或は合金、及びPd, Ag, Au, RuO<sub>2</sub>, Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>等の透明導電体、及びポリシリコン等の半導体導体材料等が挙げられる。

【0067】その堆積方法は従来公知の方法、例えば真空蒸着法、スパッタ法等に拠ればよい。上記材料を所望の形状に堆積するか、若しくは堆積後、所望の形状になるようにリフトオフ法やエッチング法等のフォトリソグラフィ技術によりパターンニングして、素子電極5、6が形成される。

【0068】素子電極間隔L<sub>1</sub>は数百Åより数百μmであり、素子電極の製法の基本となるフォトリソグラフィ技術、即ち、露光機の性能とエッチング方法等、及び素子電極間に印加する電圧と電子放出し得る電界強度等により設定されるが、好ましくは、数μmより数十μmである。また、電極長さW<sub>1</sub>、素子電極5、6の膜厚dは、電極の抵抗値、前述したX、Y配線との結線、多数配置された電子源の配置上の問題より適宜設計され、通

常は、素子電極長さ $W_1$ は数 $\mu\text{m}$ より数百 $\mu\text{m}$ であり、素子電極5, 6の膜厚 $d$ は数百 $\text{\AA}$ より数 $\mu\text{m}$ である。

【0069】素子作成に当たっては、先に基板1上に素子電極5, 6を作成した後に、電子放出部形成用薄膜2を形成してもかまわないが、この場合、素子電極作成後に焼成工程を施すことになるので、素子電極に対して耐熱性が要求されることになる。

【0070】つづいて、フォーミングと呼ばれる通電処理を行う。即ち、素子電極5, 6間に不図示の電源によりパルス状電圧或は、昇電圧を印加すると、電子放出部形成用薄膜2が局所的に破壊、変形もしくは変質する。係る構造変化部位を電子放出部3と呼ぶ(図2c参照)。また電子放出部3が形成された後の電子放出部形成用薄膜2のことを、電子放出部を含む薄膜4と呼ぶことにする。

【0071】電子放出部3は、好ましくは、数 $\text{\AA}$ より数百 $\text{\AA}$ 、特に好ましくは、 $10\sim500\text{\AA}$ の粒径を有する導電性微粒子多数個を含むものであり、電子放出部を含む薄膜4の膜厚及び後述する通電処理条件等の製法に依存しており、適宜設定される。電子放出部3を構成する材料は、電子放出部を含む薄膜4を構成する材料の元素の一部、或は全てと同様の物である。

【0072】図1, 2では、電子放出部は対向する素子電極5, 6間の一部に形成されているが、製法によっては、対向する素子電極5, 6間全てが電子放出部として機能する場合もある。

【0073】上記フォーミング処理及びそれ以降の電気的処理は、図3に示す測定評価装置内で行なう。以下に測定評価装置を説明する。図3は、図1で示した構成を有する素子の電子放出特性を測定するための測定評価装置の概略構成図である。図3において、1は基板、5及び6は素子電極、4は電子放出部を含む薄膜、3は電子放出部を示す。また、31は素子に素子電圧 $V_e$ を印加するための電源、30は素子電極5, 6間の電子放出部を含む薄膜4を流れる素子電流 $I_e$ を測定するための電流計、34は電子放出部3より放出される電子放出電流 $I_o$ を捕捉するためのアノード電極、33はアノード電極34に電圧を印加するための高圧電源、32は前記電子放出電流 $I_o$ を測定するための電流計である。

【0074】電子放出素子の上記素子電流 $I_e$ 、電子放出電流 $I_o$ の測定にあたっては、素子電極5, 6に電源31と電流計30とを接続し、該電子放出素子の上方に電源33と電流計32とを接続したアノード電極34を配置している。また、本電子放出素子及びアノード電極34は真空装置内に設置され、その真空装置には不図示の排気ポンプ及び真空計等の真空装置に必要な機器が具備されており、所望の真空下で本素子の測定評価を行えるようになっている。

【0075】尚、排気ポンプはターボポンプ、ロータリーポンプからなる通常の高真空装置系と、更に、イオン

ポンプからなる超高真空装置系とからなる。また、真空装置全体及び電子放出素子は、不図示のヒーターにより $200^\circ\text{C}$ まで加熱できる。尚、アノード電極34の電圧は $1\sim10\text{ kV}$ 、アノード電極と電子放出素子との距離 $H$ は $2\sim8\text{ mm}$ の範囲で測定した。

【0076】フォーミング処理は、 $10^{-5}\text{ torr}$ 程度の真空雰囲気下で行ったが、波高値が一定の電圧パルス印加する場合と、波高値を増加させながら電圧パルス印加する場合とがある。まず、波高値が一定の電圧パルス印加する場合の電圧波形を図4(a)に示す。

【0077】図4(a)中、 $T_1$ 及び $T_2$ は電圧波形のパルス幅とパルス間隔であり、 $T_1$ を $1\mu\text{ sec}\sim10\text{ msec}$ 、 $T_2$ を $10\mu\text{ sec}\sim100\text{ msec}$ とし、三角波の波高値(フォーミング時のピーク電圧)は適宜選択した。波高値を増加させながら電圧パルス印加する場合の電圧波形を図4(b)に示す。

【0078】図4(b)中、 $T_1$ 及び $T_2$ は電圧波形のパルス幅とパルス間隔であり、 $T_1$ を $1\mu\text{ sec}\sim10\text{ msec}$ 、 $T_2$ を $10\mu\text{ sec}\sim100\text{ msec}$ とし、三角波の波高値(フォーミング時のピーク電圧)は、例えば $0.1\text{ V}$ づつ増加させた。

【0079】尚、フォーミング処理の終了は、パルス間隔 $T_2$ 中に、電子放出部形成用薄膜2が局所的に破壊、変形されない程度の電圧、例えば $0.1\text{ V}$ 程度の電圧で素子電流を測定して抵抗値を求め、例えば、 $1\text{ M}\Omega$ 以上の抵抗を示した時、フォーミング処理を終了した。この時の電圧をフォーミング電圧 $V_F$ と呼ぶことにする。

【0080】以上説明したフォーミング処理では三角波パルスを用いているが、パルス波形は三角波に限定されることなく、矩形波などの波形を用いても良く、その波高値及びパルス幅・パルス間隔等についても上述の値に限られることなく、電子放出部が良好に形成される様に、電子放出素子の抵抗値等にあって適切な値を選択すればよい。

【0081】こうして作成した電子放出素子をより高い真空度の真空雰囲気にて駆動する。より高い真空度の真空雰囲気とは、約 $10^{-6}$ 以上の真空度を有する真空雰囲気のことであり、より好ましくは超高真空系である。

【0082】上述のような素子構成と製造方法によって作成された本発明にかかわるSCEの基本特性について、図5を用いて説明する。図5は、図3に示した測定評価装置により測定された電子放出電流 $I_o$ 及び素子電流 $I_e$ と、素子電圧 $V_e$ との関係の典型的な例を示すものである。尚、図5において電子放出電流 $I_o$ は素子電流 $I_e$ に比べて著しく小さいので、任意単位で示されている。

【0083】図5から明らかなように、本電子放出素子は電子放出電流 $I_o$ に関して三つの特性を有する。まず第一に、本素子はある電圧(しきい値電圧と呼ぶ、図5中の $V_{th}$ 以上の素子電圧を印加すると急激に電子放出電

流 $I_e$ が増加するが、しきい値電圧 $V_{th}$ 以下では、電子放出電流 $I_e$ はほとんど検出されない。すなわち、電子放出電流 $I_e$ に対する明確なしきい値電圧 $V_{th}$ を持った非線形素子である。

【0084】第二に、電子放出電流 $I_e$ が素子電圧 $V_f$ に依存するため、電子放出電流 $I_e$ は素子電圧 $V_f$ で制御できる。

【0085】第三に、アノード電極34に捕捉される放出電荷は、素子電圧 $V_f$ を印加する時間に依存する。すなわち、アノード電極34に捕捉される電荷量は、素子電圧 $V_f$ を印加する時間により制御できる。

【0086】一方、素子電流 $I_e$ は素子電圧 $V_f$ に対して単調増加する特性(MI特性と呼ぶ、図5の実線)を示す場合と、電圧制御型負性抵抗特性(VCNR特性と呼ぶ、図5の破線)を示す場合とがあるが、こういった素子電流の特性は素子作成方法に依存する。

【0087】以上、SCEの基本的な構成、製法について述べたが、前述の電子放出電流 $I_e$ に関する3つの特徴を有するものであれば、上述の構成等に限定されることはなく、後述する電子源、表示装置等の画像形成装置に於ても適用できる。

【0088】次に、本発明の電子源及び画像形成装置について述べる。先に述べた、本発明にかかわるSCEの3つの基本的特性の特徴によれば、SCEからの放出電子は、しきい値電圧 $V_{th}$ 以上では、対抗する素子電極間に印加するパルス状電圧の波高値と巾で制御される。一方、しきい値電圧 $V_{th}$ 以下では放出電子は殆ど放出されない。従って、多数のSCEを配置し、個々の素子に上記パルス状電圧を適宜印加すれば、特定のSCEの電子放出量を制御することが可能となる。即ち、本発明のSCEを複数個、基板上に配列すれば、電子源或は画像形成装置が構成できる。

【0089】基板上へのSCEの配列方式並びに駆動方式には、例えば従来例で述べた、多数のSCEを並列に配置し、個々の素子の両端を配線に接続したSCE群を複数個有し、更に該SCEの上方の空間に設置された制御電極(グリッドと呼ぶ)により放出される電子量を制御駆動する配列法と、基体に互いに電氣的に絶縁された複数本のX方向配線と、これらと交差する方向に設置された複数本のY方向配線が層間絶縁層を介して設置され、各X方向配線と各Y方向配線との交差点毎にSCEを配置し、各素子の一对の素子電極の一方を上記X方向配線に、他方を上記Y方向配線に接続した配列法を挙げることができる。後者の配列法を単純マトリックス配置と呼ぶ。

【0090】以下、単純マトリックス配置により構成した電子源について、図6を用いてその構成を説明する。図6中、61は電子放出部を含むSCEを表している。62、63はSCE61の一对の素子電極に接続された配線であり、その設置方向の違いに基づいて、X方向配

線62及びY方向配線63に分類することにする。これらX方向配線62とY方向配線63との幾何学的配置として、必ずしも図6の如き直交関係にある必要はないが、通常は直交関係にある。また、X方向配線62及びY方向配線63自身が、各SCEの素子電極を兼用(一体形成)していてもよい。

【0091】以下、図6の如き単純マトリックス配置により構成した電子源基板の作成方法の一例を述べる。絶縁性基板1上に、本発明の導電性微粒子とグラファイト若しくはアモルファスカーボン若しくはそれらの混合物とからなる電子放出部形成用薄膜を所望のパターン状に堆積する。その手法は、SCEの作成方法で述べたものと同じである。

【0092】つぎに、 $D \times 1, D \times 2, \dots, D \times m$ とからなるm本のX方向配線62を、上記電子放出部形成用薄膜を有する基板1上に、真空蒸着法、印刷法、スパッタ法等で形成する。更に不図示の層間絶縁層を設置した後、X方向配線と同様の方法により、 $D_y 1, D_y 2, \dots, D_y n$ のn本のY方向配線63を形成する。尚、上記m, nは共に正の整数である。尚、パターンニングされた電子放出部形成用薄膜は、各々X方向配線及びY方向配線と電氣的に接触若しくは接続されるように、パターンニング形態、並びに、X及びY方向配線のパターンはデザインされる。加えて、上記パターンニングされた電子放出部形成用薄膜の各々に、略均一な電圧印加ができるように、X及びY方向配線の材料、膜厚、配線巾が設定される。

【0093】不図示の前記層間絶縁層は、真空蒸着法、印刷法、スパッタ法等により形成された $SiO_2$ 膜等であり、X方向配線62及びパターンニングされた電子放出部形成用薄膜を含む基板1の全面、或は一部に所望の形状で形成され、特に駆動時における、X方向配線62とY方向配線63の交差点の電位差に耐え得る様に、膜厚、材料、製法が適宜設定される。その後、パターンニングされた電子放出部形成用薄膜の各々にフォーミング処理を施し、SCE61を形成することになるが、詳しくは後述する。

【0094】前記X方向配線62とY方向配線63は、それぞれ外部端子として引き出されており、詳しくは後述するが、X方向配線62は、X方向に配列するSCE61の各行に走査信号を印加するための、不図示の走査信号印加手段と電氣的に接続されている。一方、Y方向配線63は、Y方向に配列するSCE61の各列に変調信号を印加するための、不図示の変調信号発生手段と電氣的に接続されている。SCE61の各素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給されるものである。

【0095】つぎに、以上のようにして作成した電子源を用いた画像形成装置について、図7と図8を用いて説明する。図7は画像形成装置の基本構成図であり、図8

は蛍光膜である。

【0096】図7において、9は上述のようにしてマトリックス配置によって構成された電子源基板であり、基板1、SCE61、X方向配線62及びY方向配線63からなる。71は電子源基板9を固定したリアプレート、76はガラス基板73の電子源基板9と対向する面に、蛍光膜74とメタルバック75等が形成されたフェースプレート、72は支持枠であり、リアプレート71、支持枠72及びフェースプレート76にフリットガラス等を塗布し、大気中或は窒素雰囲気中で400~500℃で10分以上焼成することで封着し、外圍器78を構成する。

【0097】ここで外圍器78に含まれるリアプレート71は、主に電子源基板9の強度を補強する目的で設けられるため、電子源基板9自体が十分な強度を持つ場合には別体のリアプレート71は不要であり、電子源基板9に直接支持枠72を封着し、フェースプレート76、支持枠72、電子源基板9にて外圍器78を構成しても良い。各X方向配線62及びY方向配線63とは、容器外端子Dox1~DoxmとDoy1~Doy nに接続されている。

【0098】図8は、蛍光膜74の詳細である。蛍光膜74は、モノクローム表示の場合は蛍光体のみから成るが、カラー表示の場合は、ブラックストライプ(図8a)、或はブラックマトリックス(図8b)などと呼ばれる黑色導伝材81と、蛍光体82とで構成される。ブラックストライプないしはブラックマトリックスが設けられる理由は、カラー表示の場合に必要な三原色蛍光体の各蛍光体82間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜74における外光反射によるコントラストの低下を抑制するためである。

【0099】ブラックストライプないしはブラックマトリックスの材料としては、通常一般に用いられている黒鉛を主成分とする材料だけでなく、導電性があり、かつ光の透過及び反射が少ない材料であれば、これに限るものではない。ガラス基板73に蛍光体82を塗布する方法は、モノクローム表示、カラー表示によらず、沈澱法や印刷法が用いられる。

【0100】また、蛍光膜74の内面側(電子源基板9と対向する面)には、通常メタルバック75が設けられる。メタルバックの目的は、蛍光体の発光のうち内面側への光をフェースプレート76側へ鏡面反射することにより輝度を向上せしめること、放出電子への加速電圧を印加するための電極として利用せしめること、外圍器78内で発生した負イオンの衝突による蛍光体82の損傷を軽減せしめる等である。メタルバック75は、蛍光膜74作製後、蛍光膜74の内面側表面の平滑化处理(通常、フィリミングと呼ばれる)を行い、更にその後、アルミニウムを真空蒸着等で堆積することで作製できる。フェースプレート76には、更に蛍光膜74の導伝性を

高めるため、蛍光膜74の外面側に透明電極(不図示)を設けてもよい。

【0101】前述の封着を行う際、カラー表示の場合は各色蛍光体とSCEとを対応させなくてはならないため、両者の十分な位置合わせを行なう必要がある。

【0102】引き続き、不図示の排気管を通じ、例えばロータリーポンプ、ターボポンプによって構成された通常の真空排気系を用いて、外圍器78内部を $10^{-6}$ torr程度の真空度にした後、容器外端子Dox1~DoxmとDoy1~Doy nを通じパターニングされた電子放出部形成用薄膜に電圧を印加しフォーミングを行いSCE61を形成する。

【0103】その後、80~150℃でベーキングを3~15時間行いながら、真空排気系を、例えばイオンポンプ等のポンプ系とする超高真空排気系に切り替える。超高真空排気系への切り替え及びベーキングは、前述したSCEの素子電流 $I_e$ 、電子放出電流 $I_o$ の単調増加特性(MI特性)を満足させるために行うものであり、その方法、条件はこれに限るものでない。

【0104】係る処理の後、外圍器78は封止されるが、封止後の真空度を維持するために、ゲッター処理を行なう場合もある。これは、外圍器78の封止を行う直前或は封止直後に、抵抗加熱或は高周波加熱等の加熱法により、外圍器78内の所定の位置(不図示)に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、たとえば $1 \times 10^{-5} \sim 1 \times 10^{-7}$ torrの真空度を維持するものである。

【0105】以上のようにして完成した本発明の画像表示装置において、各SCE61に容器外端子Dox1~DoxmとDoy1~Doy nを通して、電圧を印加することにより電子放出させ、高圧端子Hvを通じ、メタルバック75、或は蛍光膜74上に形成した透明電極(不図示)に数kV以上の高圧を印加し、放出電子(電子ビーム)を加速し、蛍光膜74に衝突させ、蛍光体82を励起・発光させることで画像を表示が可能となる。

【0106】以上述べた構成は、表示等に用いられる画像形成装置を作製する上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述内容に限られるものではなく、画像装置の用途に適するよう適宜選択する。

【0107】

【実施例】以下に、実施例をあげて、本発明をさらに詳しく述べる。

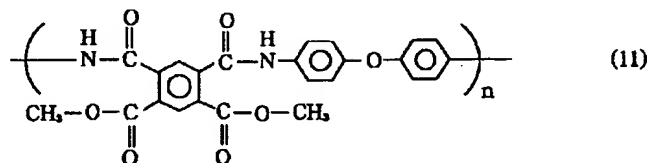
【0108】実施例1

本実施例に係わる基本的なSCEの構成は、図1a及び図1bの平面図及び断面図と略同様であり、その製造法は、基本的には図2にて示したものと同様である。

【0109】以下、順を追ってSCE製造方法の説明を図2に基づいて説明する。

#### 工程-a

式(11)に示すポリアミク酸メチルエステルのDMAc溶液(単量体換算濃度: 2mmol/l)と式(5)に示した酢酸パラジウムのクロロホルム溶液(濃度: 40mmol/l)とを20:1(v/v)に混合



【0111】係る混合物Iを回転塗布法により、清浄化された石英基板1上に成膜した。回転塗布条件は1000rpm, 30秒であった。

【0112】次にこの試料に対して、赤外線加熱炉を用いて窒素フロー下、150℃で30分間加熱し、引き続き300℃で30分間加熱し、ポリイミド(式(10))と酸化パラジウムとから成る膜を形成した。更に引き続き、700℃で20分間焼成し、アモルファスカーボンと酸化パラジウムとからなる電子放出部形成用膜2を得た。その膜厚は100Åであり、シート抵抗値は、 $2 \times 10^4 \Omega/\text{cm}^2$ であった。

【0113】係る電子放出部形成法薄膜2を $\text{CF}_4$ ガスを用いてドライエッチングし、所望のパターンを得た。係る電子放出部形成用薄膜2を有する基板1上に、対向する一对の素子電極5, 6を、素子電極間隔 $L_1$ が3μm、素子電極の幅 $W_1$ が300μmとなるようにリフトオフ法を用いて形成した。即ち、フォトリソスト(RD-2000N-41、日立化成社製)で所望のパターンを形成した後、真空蒸着法により、厚さ50ÅのTi膜、厚さ1000ÅのNi膜を順次堆積した後、フォトリソストパターンを有機溶剤で溶解し、Ni/Ti堆積膜の一部をリフトオフし、所望の形状を有するNi/Tiとからなる素子電極5, 6を得た。

#### 【0114】工程-b

次に、図3の測定評価装置に上記素子を設置して真空ポンプにて排気し、 $2 \times 10^{-5} \text{ torr}$ の真空度に達した後、素子に素子電圧を印加するための電源31を用いて、素子電極5, 6間に各々電圧を印加し、通電処理(フォーミング処理)を行った。フォーミング処理の電圧波形を図4bに示す。

【0115】図4b中、 $T_1$ 及び $T_2$ は電圧波形のパルス幅とパルス間隔であり、本実施例では $T_1$ を1msec、 $T_2$ を10msecとし、矩形波の波高値(フォーミング時のピーク電圧)を0.1Vステップで昇圧し、フォーミング処理を行なった。

【0116】この際、同時に、0.1Vの電圧で $T_2$ 間に抵抗測定パルスを挿入し抵抗を測定した。抵抗測定パ

ルスでの測定値が約1MΩ以上になった時、フォーミング処理を終了した。それぞれの素子のフォーミング電圧 $V_F$ は、5.1Vであった。

【0110】

【化7】

【0117】こうして電子放出部3を形成した。作成された電子放出部3を、走査型電子顕微鏡(SEM)や電子線顕微鏡(TEM)で観察したところ、パラジウム元素を主成分とする微粒子がアモルファスカーボン中に分散配置された状態となり、その微粒子の平均粒径は30Åであった。

【0118】以上のようにして作成されたSCEの電子放出特性を、上述の図3の測定評価装置を用いて測定した。なお、アノード電極と電子放出素子間の距離を4mm、アノード電極の電位を1kV、電子放出特性測定時の真空装置内の真空度を $1 \times 10^{-6} \text{ torr}$ とした。素子に三角波を0.005Hz程度の掃印速度で電圧印加を行った際における、素子電圧 $V_F$ と素子電流 $I_F$ 並びに電子放出電流 $I_e$ との関係を図9に示す。

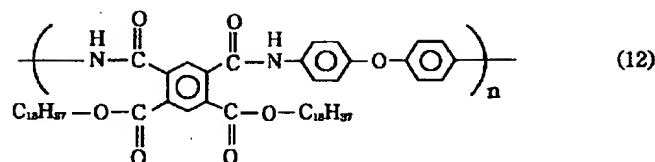
【0119】素子電流 $I_F$ は、素子電圧 $V_F$ の増加に伴って単調増加した後、 $V_F = 5 \text{ V}$ 以上では電圧制御型負性抵抗を示した。また $V_F = 10 \text{ V}$ 以上では、素子電流 $I_F$ は素子電流の最大値の数分の一の1mA程度であった。両素子の電極5及び6の間に素子電圧を14V印加したところ、最初から安定した素子電流 $I_F$ 及び電子放出電流 $I_e$ が観察され、具体的には、素子電流 $I_F$ が2.0mA、電子放出電流 $I_e$ は1.0μAとなり、電子放出効率 $\eta = I_e / I_F$ は0.05%であった。

#### 【0120】実施例2

実施例1における電子放出部形成用薄膜2の材料、及び作成方法を以下に示すように変更した以外は実施例1と同様にして、SCEを作成した。式(12)に示すポリアミク酸オクタデシルエステルのDMAc溶液(単量体換算濃度: 2mmol/l)と式(5)に示した酢酸パラジウムのクロロホルム溶液(濃度: 40mmol/l)とを20:1(v/v)に混合した(こうして調製した混合物を以下、混合物IIと記す)。

【0121】

【化8】



【0122】係る混合物ⅠⅠをLB法により、石英基板1上に成膜した。以下、LB法の詳細について述べる。

【0123】混合物ⅠⅠのDMAc-クロロホルム（20：1）混合溶液を20℃の純水上に展開した後、表面圧を20mN/mにまで高め、混合物ⅠⅠの単分子膜を上記純水上に形成した。係る表面圧を保持したまま、予めヘキサメチルジシラザン雰囲気中に曝露して表面を疎水性とした石英基板1を、速度6mm/minにて前記単分子膜を横切る方向に静かに浸漬し、引き続き同じ速度でこれを引き上げて、混合物ⅠⅠの2層LB膜を石英基板1上に積層した。係る浸漬・引き上げ操作を繰り返して、混合物ⅠⅠからなる50層のLB膜を形成させた。

【0124】次にこの試料に対して、電気炉を用いて減圧下、300℃で30分間加熱した後、引き続き常圧に戻し（空気置換）、350℃で15分間加熱を行った。更に引き続き、窒素雰囲気下にて、700℃で20分間焼成し、アモルファスカーボンと酸化パラジウムとからなる電子放出部形成用薄膜2を得た。その膜厚は100Åであり、シート抵抗値は $2 \times 10^4 \Omega/\text{cm}^2$ であった。

【0125】係る電子放出部形成用薄膜2をCF<sub>4</sub>ガスを用いてドライエッチングし、所望のパターンを得た。係る電子放出部形成用薄膜2を有する基板1上に、実施例1と同様の素子電極5、6を同様の手法を用いて形成した。

【0126】次に、実施例1と全く同様の方法によりフォーミング処理を行い、SCEを作成した。係るSCEの電子放出部3を、SEMやTEMで観察したところ、パラジウム元素を主成分とする微粒子がアモルファスカーボン中に分散配置された状態となり、その微粒子の平均粒径は30Åであった。

【0127】係るSCEの電子放出特性を実施例1と同様にして測定したところ、最初から安定した素子電流 $I_f$ 及び電子放出電流 $I_o$ が観察された。具体的には、素子電圧が14Vの時、素子電流 $I_f$ が2.0mA、電子放出電流 $I_o$ は1.4μAとなり、電子放出効率 $\eta = I_o / I_f$ は0.07%であった。

【0128】実施例3  
実施例1における電子放出部形成用薄膜2の材料、及び作成方法を以下に示すように変更した以外は実施例1と同様にして、SCEを作成した。式(11)に示したポリアミク酸メチルエステル(DMAc)溶液（単量体換算濃度：2mmol）と式(7)に示したビス（ドデシルアミン）パラジウム錯体のクロロホルム溶液（濃度：

40mmol）とを20：1（v/v）に混合した（こうして調製した混合物を以下、混合物ⅠⅠⅠと記す）。係る混合物ⅠⅠⅠをLB法により、石英基板1上に成膜した。

【0129】以下、LB法の詳細について述べる。混合物ⅠⅠⅠのDMAc-クロロホルム（20：1）混合溶液を20℃の純水上に展開した後、表面圧を20mN/mにまで高め、混合物ⅠⅠⅠの単分子膜を上記純水上に形成した。係る表面圧を保持したまま、予めヘキサメチルジシラザンで表面を疎水処理した石英基板1を、速度10mm/minにて前記単分子膜を横切る方向に静かに浸漬し、引き続き同じ速度でこれを引き上げて混合物ⅠⅠⅠの2層LB膜を石英基板1上に積層した。係る浸漬・引き上げ操作を繰り返して、混合物ⅠⅠⅠからなる70層のLB膜を形成させた。

【0130】次にこの試料に対して、電気炉を用いて減圧下、300℃で30分間加熱した後、引き続き常圧に戻し（空気置換）、350℃で15分間加熱を行った。更に引き続き、窒素雰囲気下にて、700℃で20分間焼成し、アモルファスカーボンと酸化パラジウムとからなる電子放出部形成用膜2を得た。その膜厚は100Åであり、シート抵抗値は $2 \times 10^4 \Omega/\text{cm}^2$ であった。

【0131】係る電子放出部形成用薄膜2をCF<sub>4</sub>ガスを用いてドライエッチングし、所望のパターンを得た。係る電子放出部形成用薄膜2を有する基板1上に、実施例1と同様の素子電極5、6を同様の手法を用いて形成した。

【0132】次に、実施例1と全く同様の方法によりフォーミング処理を行い、SCEを作成した。係るSCEの電子放出部3を、SEMやTEMで観察したところ、パラジウム元素を主成分とする微粒子がアモルファスカーボン中に分散配置された状態となり、その微粒子の平均粒径は30Åであった。

【0133】係るSCEの電子放出特性を実施例1と同様にして測定したところ、最初から安定した素子電流 $I_f$ 及び電子放出電流 $I_o$ が観察された。具体的には、素子電圧が14Vの時、素子電流 $I_f$ が2.0mA、電子放出電流 $I_o$ は1.4μAとなり、電子放出効率 $\eta = I_o / I_f$ は0.07%であった。

【0134】実施例4  
基板を石英に代えてサファイヤとして他は実施例2と同様にして、サファイヤ基板上に混合物ⅠⅠをLB法を用いて成膜した（50層）。

【0135】次にこの試料に対して、電気炉を用いて減圧下、300℃で30分間加熱をした後、引き続き常圧に戻し（空気置換）、350℃で15分間加熱を行った。

【0136】更に引き続き、アルゴン雰囲気下にて、1800℃で20分間焼成し、一部グラファイト化したカーボンと酸化パラジウムとからなる電子放出部形成薄膜2を得た。

【0137】その膜厚は100Åであり、シート抵抗値は $1 \times 10^4 \Omega / \text{cm}^2$ であった。部分的なグラファイトの形成はTEM及びSTMを用いて確認した。

【0138】以下、実施例2で記した方法に従ってSCE-Eを作成した。

【0139】係るSCEの電子放出特性を実施例1と同様にして測定したところ、最初から安定した素子電流 $I_f$ 及び電子放出電流 $I_e$ が観察された。

【0140】具体的には素子電圧が14Vの時、素子電流 $I_f$ が2.2mA、電子放出電流は $1.8 \mu\text{A}$ となり、電子放出効率 $\eta = I_e / I_f$ は0.08%であった。

#### 【0141】実施例5

実施例4におけるサファイヤ基板を酸化マグネシウム基板に変更し、加熱処理の内、アルゴン雰囲気下にて1800℃、20分間の処理を行った工程を2200℃、20分間に変更した他は、実施例4記載の方法と全く同様にしてSCEを作成した。

【0142】電子放出部形成用薄膜2がグラファイトと酸化パラジウムで構成されていることをTEM及びSTMを用いて確認した。

【0143】係るSCEの電子放出特性を実施例1と同様にして測定したところ、素子電圧が14Vの時、素子電流 $I_f$ が2.4mA、電子放出電流は $1.9 \mu\text{A}$ となり電子放出率 $\eta = I_e / I_f$ は0.08%であった。

#### 【0144】実施例6

本実施例は、多数のSCEを単純マトリックス配置した画像形成装置の例である。電子源の一部の平面図を図10に示す。また、図中のA-A'断面図を図11に示す。但し、図10、11で同じ記号で示したものは、同じ部材を示す。ここで1は基板、62は図7のDxmに対応するX方向配線（下配線とも呼ぶ）、63は図のDymに対応するY方向配線（上配線とも呼ぶ）、3は電子放出部、4は電子放出部を含む薄膜、5、6は素子電極、123は層間絶縁層、124は素子電極6と上配線63とを電気的に接続したり、電子放出を行わせるための開口部である。

【0145】次に製造方法を図12、図13を用い、工程順に従って具体的に説明する。

##### 工程-a

清浄化した石英基板1上に、電子放出部形成用薄膜2を所定の形状にパターンニングするために、開口部を有する

膜厚1000ÅのCr膜121を、マスクを介して真空蒸着することにより堆積した（図12（a）参照）。

##### 【0146】工程-b

この上に、実施例2で用いた材料、並びに手法（LB法）を用いて、混合物I1からなる50層のLB膜を堆積させた後、電気炉を用いて減圧下、300℃で30分間加熱し、引き続き常圧に戻し（空気置換）、350℃で15分間加熱を行い、酸化パラジウムとポリイミドからなる膜122を形成した（図12（b）参照）。

##### 【0147】工程-c

Cr膜121および酸化パラジウムとポリイミドからなる膜122を、酸エッチャントによりエッチングして所望のパターンを形成し、引き続きこれを窒素雰囲気下、1000℃で20分間焼成し、アモルファスカarbonと酸化パラジウムとからなる電子放出部形成用膜2を得た（図12（c）参照）。

##### 【0148】工程-d

素子電極5、6と素子電極間隔（ $L_1$ ）となるべきパターンをフォトリソ（RD-2000N-41、日立化成社製）形成し、真空蒸着法により、厚さ50ÅのTi、厚さ1000ÅのNiを順次堆積した。フォトリソパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔 $L_1 = 3 \mu\text{m}$ 、素子電極の幅 $W_1 = 300 \mu\text{m}$ の素子電極5、6を形成した（図12（d）参照）。

##### 【0149】工程-e

下配線62のフォトリソパターンを形成した後、厚さ50ÅのTi、厚さ5000ÅのAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の下配線62を形成した（図12（e）参照）。

##### 【0150】工程-f

次に、厚さ1.0μmのシリコン酸化膜からなる層間絶縁層123を、RFスパッタ法により堆積した（図13（f）参照）。

##### 【0151】工程-g

工程fで堆積したシリコン酸化膜に電子放出用、及び後述する上配線63と電子放出部形成用薄膜2とを電気的に接続させるための開口部124を形成した。即ち、開口部124を形成するためのフォトリソパターンを作り、これをマスクとして層間絶縁層123をエッチングして開口部124を形成した。エッチングは $\text{CF}_4$ と $\text{H}_2$ ガスをを用いたRIE（Reactive Ion Etching）法によった（図13（g）参照）。

##### 【0152】工程-h

素子電極5、6の上に上配線63のフォトリソパターンを形成した後、厚さ50ÅのTi、厚さ5000ÅのAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線63を形成した（図13（h）参照）。



【0153】以上の工程により石英基板1上に下配線62、層間絶縁層123、上配線63、素子電極5、6、電子放出部形成用薄膜2を形成した。つぎに、以上のようにして作成した電子源を用いて表示装置を構成した例を、図6と図7を用いて説明する。

【0154】上述の作成工程を経た基板1をリアプレート71上に設置した後、基板1の5mm上方に、フェースプレート76（ガラス基板73の内面に蛍光膜61とメタルバック75が形成されて構成される）を支持枠72を介して配置し、フェースプレート76、支持枠72、リアプレート71の接合部にフリットガラスを塗布し、大気中或は窒素雰囲気中で400℃ないし500℃で1.0分以上焼成することで封着した（図7）。

【0155】この時同時に、フリットガラスを用いて、リアプレート71と基板1の固定も行った。図7において、61は電子放出素子、62、63はそれぞれX方向及びY方向の素子配線である。

【0156】蛍光膜74は、モノクロームの場合は蛍光体のみから成るが、本実施例では蛍光体はストライプ形状を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜74を作製した。ブラックストライプの材料としては、通常良く用いられている黒鉛を主成分とする材料を用いた。ガラス基板73に蛍光体を塗布する方法はスラリー法を用いた。また、蛍光膜74の内面側には通常メタルバック75が設けられる。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常フィルミングと呼ばれる）を行い、その後A1を真空蒸着することにより作製した。

【0157】フェースプレート76には、更に蛍光膜74の導電性を高めるため、蛍光膜74の外側面に透明電極（不図示）が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導電性が得られたので省略した。前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があるため、十分な位置合わせを行った。

【0158】以上のようにして完成したガラス容器内の雰囲気は排気管（図示せず）を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子Dox1ないしDoxmとDoy1ないしDoynを通じ電子放出素子61の電極5、6間に電圧を印加し、電子放出部形成用薄膜2をフォーミング処理することにより、電子放出部3を作成した。

【0159】フォーミング処理の電圧波形は図4bと同様であり、本実施例では $T_1$ を1msec、 $T_2$ を10msecとし、約 $1 \times 10^{-5}$ torrの真空雰囲気下で行った。次に、 $10^{-8}$ torr程度の真空度まで排気し、不図示の排気管をガスバーナーで熱することで溶着し外囲器の封止を行った。最後に封止後の真空度を維持するために、高周波加熱法でゲッター処理を行った。

【0160】以上のように完成した本発明の画像表示装

置において、各電子放出素子に容器外端子Dox1ないしDoxmとDoy1ないしDoynを通じて、走査信号及び変調信号を不図示の信号発生手段より、それぞれ印加することにより電子放出させ、高圧端子Hvを通じて、メタルバック75、或は透明電極（不図示）に数kV以上の高圧を印加して電子ビームを加速し、これを蛍光膜74に衝突させて蛍光体を励起・発光させることで画像を表示した。

#### 【0161】実施例7

図14は、実施例6で説明したSCEを電子ビーム源として用いたディスプレイパネルに、たとえば、テレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すためのブロック図である。

【0162】図中130はディスプレイパネル、131はディスプレイパネルの駆動回路、132はディスプレイパネルコントローラ、133はマルチプレクサ、134はデコーダ、135は入出力インターフェース回路、136はCPU、137は画像生成回路、138および139および140は画像メモリーインターフェース回路、141は画像入力インターフェース回路、142および143はTV信号受信回路、144は入力部である。

【0163】なお、本表示装置は、たとえばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカーなどについては説明を省略する。

【0164】以下、画像信号の流れに沿って各部の機能を説明してゆく。まず、TV信号受信回路143は、たとえば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信する為の回路である。受信するTV信号の方式は特に限られるものではなく、たとえば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号（たとえばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。

【0165】TV信号受信回路143で受信されたTV信号は、デコーダ134に出力される。TV信号受信回路142は、たとえば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路であるが、前記TV信号受信回路143と同様に、受信するTV信号の方式は特に限られるものではない。本回路で受信されたTV信号もデコーダ134に出力される。

【0166】画像入力インターフェース回路141は、たとえばTVカメラや画像読み取りスキャナーなどの画



像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ134に出力される。画像メモリーインターフェース回路140は、ビデオテープレコーダー（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ134に出力される。

【0167】画像メモリーインターフェース回路139は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ134に出力される。画像メモリーインターフェース回路138は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ134に入力される。

【0168】入出力インターフェース回路135は、本表示装置と外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU 136と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0169】画像生成回路137は、前記入出力インターフェース回路135を介して外部から入力される画像データや文字・図形情報や、或はCPU 136より出力される画像データや文字・図形情報に基づき、表示用画像データを生成するための回路である。

【0170】本回路の内部には、たとえば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読み出し専用メモリーや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。

【0171】本回路により生成された表示用画像データはデコーダ134に出力されるが、場合によっては前記入出力インターフェース回路135を介して、外部のコンピュータネットワークやプリンターに出力することも可能である。

【0172】CPU 136は主として、本表示装置の動作制御や、表示画像の選択・編集に関わる作業を行う。一例を挙げれば、マルチプレクサ133に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じて、ディスプレイパネルコントローラ132に対して制御信号を発生し、画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）一画面の走査線の数など表示装置の動作を適宜制御する。

【0173】また、前記画像生成回路137に対して画像データや文字・図形情報を直接出力したり、或は前記入出力インターフェース回路135を介して外部のコン

ピュータやメモリーをアクセスして画像データや文字・図形情報を入力する。なお、CPU 136は無論これら以外の目的の作業にも関わるものであって良い。たとえば、パーソナルコンピュータやワードプロセッサなどのように、情報処理する機能に直接関わっても良い。或は、前述したように入出力インターフェース回路135を介して外部のコンピュータネットワークと接続し、たとえば数値計算などの作業を外部機器と協同して行っても良い。

【0174】入力部144は、前記CPU 136に使用者が命令やプログラム、或はデータなどを入力するためのものであり、たとえばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0175】デコーダ134は、前記137ないし143より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に変換するための回路である。なお、同図中に点線で示すように、デコーダ134は内部に画像メモリーを備えるのが望ましい。これは、たとえばMUSE方式をはじめとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。

【0176】また、画像メモリーを備える事により、静止画の表示が容易になったり、或は前記画像生成回路137およびCPU 136と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0177】マルチプレクサ133は、前記CPU 136より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチプレクサ133は、デコーダ134から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路131に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0178】ディスプレイパネルコントローラ132は、前記CPU 136より入力される制御信号に基づき、駆動回路131の動作を制御するための回路である。その基本的動作は、例えば、ディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路131に対して出力したり、画面表示周波数や走査方法（たとえばインターレースかノンインターレースか）制御するための信号を駆動回路131に対して出力したりするものである。また、場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった、画質の調整に関わる制御信号を駆動回路131に対して出力する場合もある。

【0179】駆動回路131は、ディスプレイパネル1

30に印加する駆動信号を発生するための回路であり、前記マルチプレクサ133から入力される画像信号と、前記ディスプレイパネルコントローラ132より入力される制御信号に基づいて動作するものである。

【0180】以上、各部の機能を説明したが、図14に例示した構成により、本表示装置においては、多様な画像情報源より入力される画像情報をディスプレイパネル130に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ134において逆変換された後、マルチプレクサ133において適宜選択され、駆動回路131に入力される。

【0181】一方、ディスプレイコントローラ132は、表示する画像信号に応じて駆動回路131の動作を制御するための制御信号を発生する。駆動回路131は、上記画像信号と制御信号に基づいてディスプレイパネル130に駆動信号を印加する。これにより、ディスプレイパネル130において画像が表示される。これらの一連の動作は、CPU 136により統括的に制御される。

【0182】また、本表示装置においては、前記デコーダ134に内蔵する画像メモリや、画像生成回路137および情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、たとえば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行なうための専用回路を設けても良い。

【0183】したがって、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用或は民生用として極めて応用範囲が広い。

【0184】なお、上記図14は、SCEを電子ビーム源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、係る構成のみに限定されるものでない事は言うまでもない。たとえば、図14の構成要素のうち使用目的上必要のない機能に関わる回路は省略しても差し支えない。

【0185】また、これとは逆に、使用目的によってはさらに構成要素を追加しても良い。たとえば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0186】本表示装置においては、とりわけSCEを電子ビーム源とするディスプレイパネルの薄形化が容易なため、表示装置の奥行きを小さくすることができる。

これに加えて、SCEを電子ビーム源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感にあふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【0187】

【発明の効果】以上説明した様に、本発明によれば、基体上に形成された対向する一対の素子電極と電子放出部を有する薄膜からなる表面伝導型電子放出素子において、上記電子放出部が、金属或は金属酸化物等の導電性微粒子と、グラファイト或はアモルファスカーボン或はそれらの混合物でできており、電子放出特性の安定性並びに、電子放出効率に優れた電子放出素子を作成できるようになった。

【0188】さらには、入力信号に応じて電子を放出する電子源においては、上記の電子放出素子を基体上に複数個配置した電子源とすることで、安定かつ歩どまりよく作成できるようになった。また、電子放出効率の向上により消費電力が少なくなり、加えて周辺回路等の負担も軽減され、安価な装置を提供できるに至った。

【0189】また画像形成装置においては、入力信号にもとづいて画像を形成する装置であって、少なくとも、画像形成部材と前記電子源より構成されたことを特徴とする画像形成装置であるため、安定で制御された電子放出特性と電子放出効率の向上がなされ、例えば蛍光体を画像形成部材とする画像形成装置においては、低電流で明るい高品位な画像形成装置例えば、カラーフラットテレビを実現するに至った。

【図面の簡単な説明】

【図1】平面型表面伝導電子放出素子を示す構成図である。

【図2】表面伝導型電子放出素子の製造方法の一例を工程図である。

【図3】表面伝導型電子放出素子の電子放出特性を測定するための測定評価装置の概略構成図である。

【図4】表面伝導型電子放出素子の通電処理の電圧波形を示す図である。

【図5】表面伝導型電子放出素子の基本的な特性図である。

【図6】単純マトリックス配置により構成した電子源を示す構成図である。

【図7】画像形成装置を示す基本構成図である。

【図8】蛍光膜を示す説明図である。

【図9】表面伝導型電子放出素子の基本的な特性図である。

【図10】電子源を示す概略平面図である。

【図11】図10の電子源のA-A'線断面図である。

【図12】電子源の製造方法の前半を示す部分工程図である。

【図13】電子源の製造方法の後半を示す部分工程図である。

【図14】表示装置の一例を示すブロック図である。

【図15】従来の電子放出素子の構成を示す概略図である。

【符号の説明】

- 1 絶縁性基板
- 2 電子放出部形成用薄膜
- 3 電子放出部
- 4 電子放出部を含む薄膜
- 5, 6 素子電極
- 9 電子源基板
- 30, 32 電流計
- 31 電源
- 33 高圧電源
- 34 アノード電極
- 61 電子放出部を含むSCE
- 62 X方向配線(下配線)
- 63 Y方向配線(上配線)
- 71 リアプレート
- 72 支持枠
- 73 ガラス基板
- 74 蛍光膜
- 75 メタルバック

76 フェースプレート

78 外周器

81 黒色伝導材

82 蛍光体

121 Cr膜

122 PdOとポリイミドからなる膜

123 層間絶縁層

124 開口部

130 ディスプレイパネル

131 駆動回路

132 ディスプレイパネルコントローラ

133 マルチプレクサ

134 デコーダ

135 入出力インターフェース回路

136 CPU

137 画像生成回路

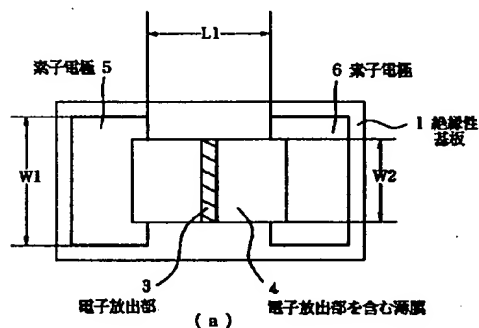
138, 139, 140 画像メモリーインターフェース回路

141 画像入力インターフェース回路

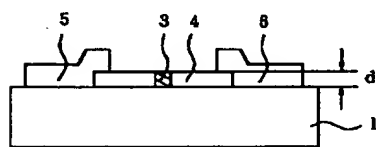
142, 143 TV信号受信回路

144 入力部

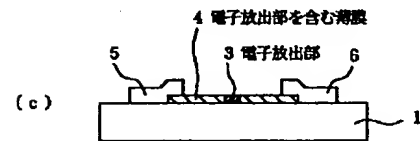
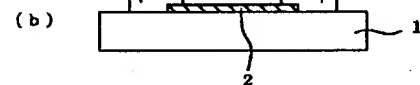
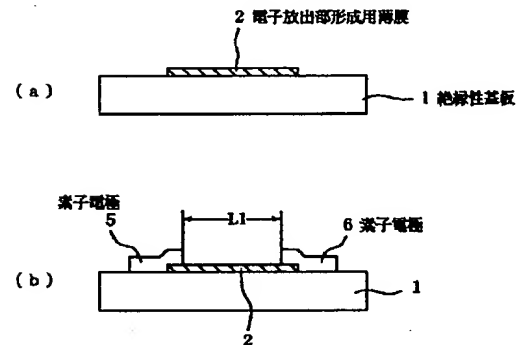
【図1】



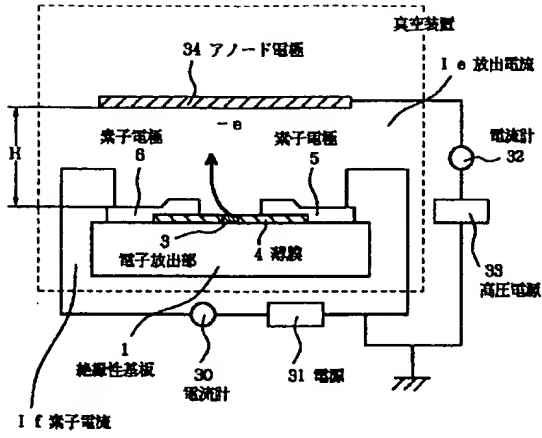
(b)



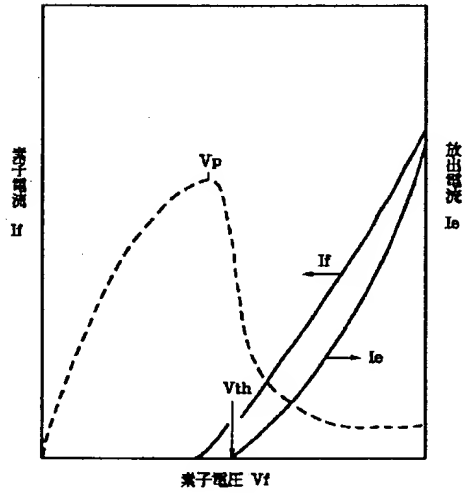
【図2】



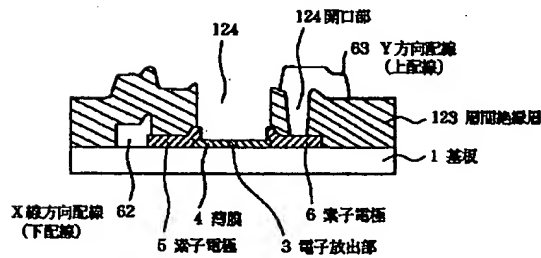
【図3】



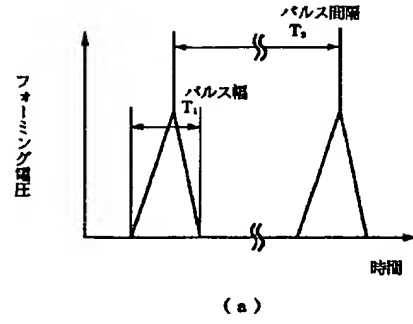
【図5】



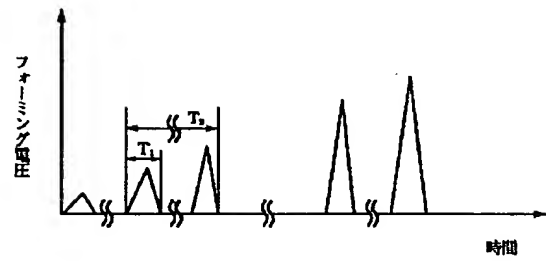
【図11】



【図4】

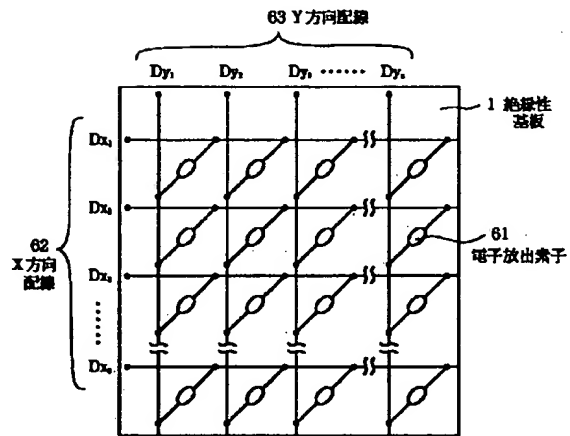


(a)

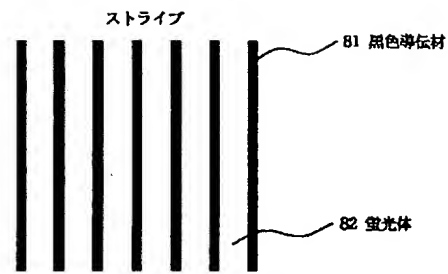


(b)

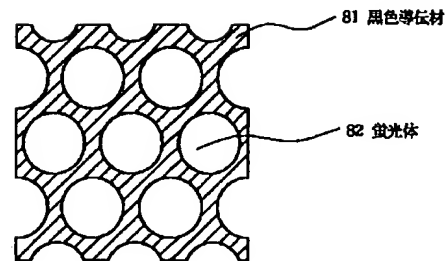
【図6】



【图8】



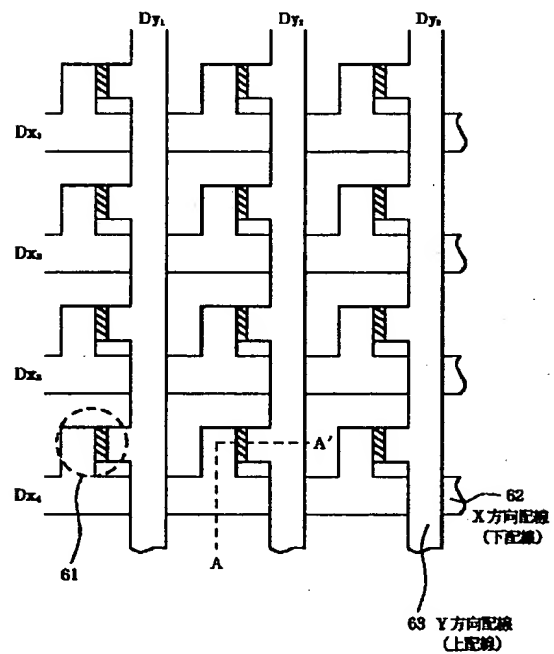
( a )



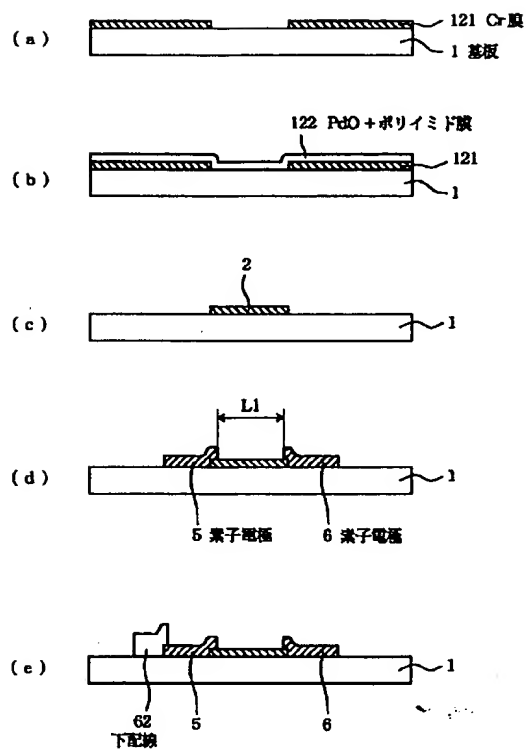
( b )

Figure 1 is a graph showing the relationship between input current  $I_i$  (mA) and output current  $I_o$  ( $\mu A$ ) versus input voltage  $V_i$  (V). The input current  $I_i$  (solid line) starts at 1 mA at  $V_i = 0$  V, peaks at 10 mA at  $V_i = 6$  V (labeled  $V_p$ ), and then decreases. The output current  $I_o$  (dashed line) starts at 0  $\mu A$  at  $V_i = 0$  V, remains at 0 until  $V_i = 6$  V (labeled  $V_{th}$ ), and then increases exponentially, reaching 1  $\mu A$  at  $V_i = 14$  V.

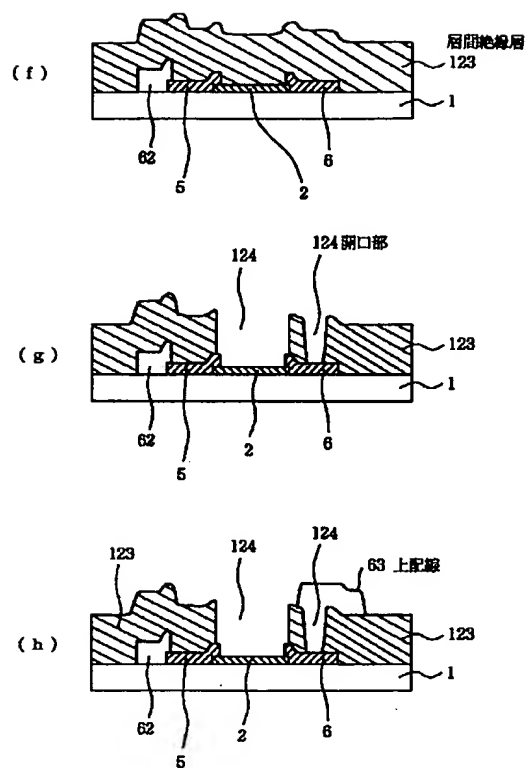
Figure 1 is a cross-sectional view of a semiconductor device. It shows a central rectangular region (3) surrounded by a frame (1). A thin layer (2) is on top of the central region. A small rectangular feature (4) is on the bottom surface of the central region. Dimensions  $L1$  and  $W$  are indicated.



【図12】



【図13】



【図14】

